



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11339470 A**

(43) Date of publication of application: 10 . 12 . 99

(51) Int. Cl.

G11C 11/407

G11C 11/408

(21) Application number. 10142000

(22) Date of filing: 25 . 05 . 98

(71) Applicant: **HITACHI LTD**

(72) Inventor: UEDA SHIGEKI
MIYAOKA SHUICHI
NAKAMURA MASAYUKI

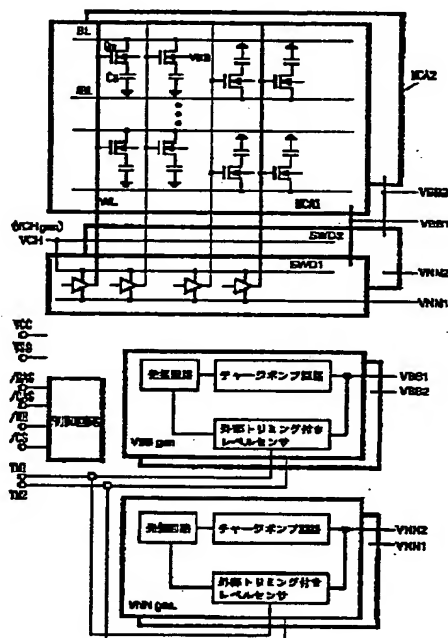
(54) DYNAMIC RAM

(57) Abstract

PROBLEM TO BE SOLVED: To provide a dynamic RAM having an information retention characteristic improved with a low consumption power.

SOLUTION: This dynamic RAM is provided with a memory array which comprises a plurality of dynamic memory cells each consisting of an address selection MOSFET and a memory capacitor. The dynamic memory cells are arranged in matrix at intersections of a plurality of word lines and a plurality of bit lines. A non-selection level of the word lines is set lower than a low level fed to the bit lines. A potential difference between the non-selection level of the word lines and the low level fed to the bit lines can be adjusted to make a leak current in an off state of the address selection MOSFET not larger than a desired current value.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-339470

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.

識別記号

F I

G11C 11/407

G11C 11/34

354

D

11/408

354

G

審査請求 未請求 請求項の数 8 O L (全15頁)

(21)出願番号 特願平10-142000

(22)出願日 平成10年(1998)5月25日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 上田 茂樹

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 宮岡 修一

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72)発明者 中村 正行

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

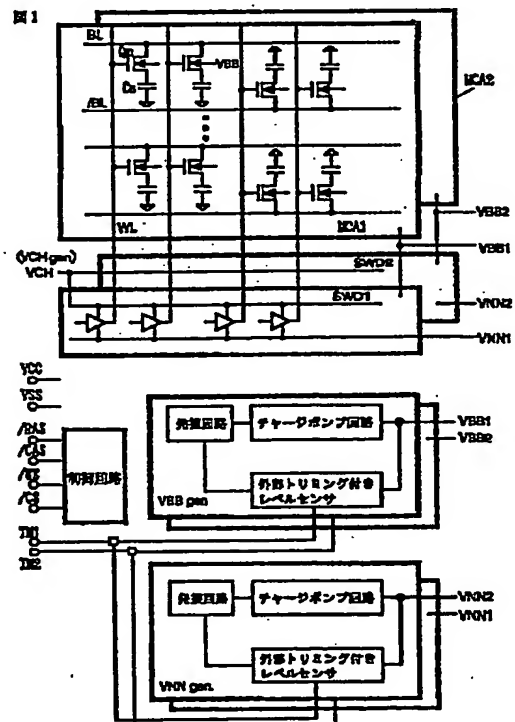
(74)代理人 弁理士 徳若 光政

(54)【発明の名称】ダイナミック型RAM

(57)【要約】

【課題】 低消費電力で情報保持特性の改善を図ったダイナミック型RAMを提供する。

【解決手段】 複数のワード線と複数のビット線との交点にアドレス選択MOSFET及び記憶キャパシタからなる複数のダイナミック型メモリセルがマトリクス状に配置されてなるメモリアレイを備え、上記ワード線の非選択レベルを上記ビット線に与えられるロウレベルよりも低く設定してなるダイナミック型RAMにおいて、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択MOSFETのオフ状態でのリーク電流が所望の電流値以下となるように調整可能にする。



【特許請求の範囲】

【請求項 1】 複数のワード線と、複数のビット線と、上記複数のワード線と複数のビット線との交点にアドレス選択 MOSFET 及び記憶キャパシタからなる複数のダイナミック型メモリセルがマトリクス状に配置されてなるメモリアレイを備え、上記ワード線の非選択レベルを上記ビット線に与えられるロウレベルよりも低く設定してなるダイナミック型 RAM であって、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択 MOSFET のオフ状態でのリーク電流が所望の電流値以下となるように調整可能にしてなることを特徴とするダイナミック型 RAM。

【請求項 2】 上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差の調整は、ヒューズ手段を切断したと等価な状態を作り出すパッドを設け、その結果により上記ヒューズの切断を行って上記ワード線の非選択レベル又は上記ビット線にロウレベルの増幅信号を与えるセンスアンプのロウレベルを形成する内部電源回路の出力電圧を調整することにより行われるものであることを特徴とする請求項 1 のダイナミック型 RAM。

【請求項 3】 上記ビット線のロウレベルは回路の接地電位であり、上記ワード線の非選択レベルは負電圧にされるものであることを特徴とする請求項 2 のダイナミック型 RAM。

【請求項 4】 上記アドレス選択 MOSFET が形成されるウェル領域又は半導体基板には、負電圧のバックバイアス電圧が供給されるものであり、かかる負電圧のバックバイアス電圧は上記ワード線の非選択レベルよりも低く設定され、かつ固定レベルに制御されるものであることを特徴とする請求項 3 のダイナミック型 RAM。

【請求項 5】 上記アドレス選択 MOSFET が形成されるウェル領域又は半導体基板には、負電圧のバックバイアス電圧が供給されるものであり、かかる負電圧のバックバイアス電圧は上記ワード線の非選択レベルよりも低く設定され、かつ上記アドレス選択 MOSFET のオフ状態でのリーク電流が所望の電流値以下となるように上記ワード線の非選択レベルとともに調整可能にしてなることを特徴とする請求項 3 のダイナミック型 RAM。

【請求項 6】 上記負電圧のバックバイアス電圧は、チャージポンプ回路で形成されるものであり、上記ワード線の非選択レベルを形成する内部電源回路は、上記チャージポンプ回路で形成されたバックバイアス電圧と出力端子との間に設けられた可変インピーダンス手段と、上記チャージポンプ回路で形成されたバックバイアス電圧と内部電圧とを動作電圧とし、上記必要な非選択レ

ルに対応された基準電圧と上記出力端子の電圧とを比較して両者が一致するように上記可変インピーダンス手段を制御してなる差動増幅回路とを含むものであることを特徴とする請求項 4 のダイナミック型 RAM。

【請求項 7】 上記メモリアレイは、複数個に分割されて半導体基板上に形成されるものであり、上記複数の分割されたメモリアレイに対応して上記内部電源回路が設けられるものであることを特徴とする請求項 1 のダイナミック型 RAM。

【請求項 8】 上記メモリアレイは、複数個に分割されて半導体基板上に形成されるものであり、上記内部電源回路は、複数通りの出力電圧を形成するものであり、

上記分割された各々のメモリアレイには、上記複数通りの出力電圧のうちそれに最適なものがスイッチ回路を通して伝えられることにより、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択 MOSFET のオフ状態でのリーク電流が所望の電流値以下となるように調整するものであることを特徴とする請求項 1 のダイナミック型 RAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ダイナミック型 RAM (ランダム・アクセス・メモリ) に関し、主としてワード線の非選択レベルを負電圧にしたものにおける電源供給技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】 ダイナミック型 RAM におけるメモリセルの情報保持時間を長くするためには基板の不純物濃度を薄くし、アドレス選択 MOSFET のソース、ドレイン拡散層と基板との間にできる pn 接合の電界を小さくする必要がある。このように基板の不純物濃度を低くすると、上記 MOSFET のしきい値電圧が低くなり、ゲート電圧が接地電位のような非選択レベルにした場合のソース、ドレイン間のリーク電流が増加してしまう。このため、ゲートが接続されたワード線の非選択レベルを負電圧にすることが提案されている。この負電圧は、チャージポンプ回路を使用し、それを安定化するためにレベルセンサにより発振回路を間欠的に動作するように制御するものである。このようにワード線の非選択レベルを負の電圧にし、情報保持時間の改善を図るようにしたダイナミック型 RAM の例として、特開平 2-5290 号公報、特開平 6-255566、特開平 7-57461 号公報及び特開平 7-307091 号公報がある。

【0003】

【発明が解決しようとする課題】 上記ワード線の非選択レベルは、上記メモリセルのアドレス選択 MOSFET のしきい値電圧のプロセスバラツキのワーストケースを想定し、所定のレベルマージンを持って深めに（より負

電圧側) に設定する必要がある。そして、上記メモリセルのアドレス選択MOSFETに対してバックバイアス電圧を供給するものでは、上記非選択レベルが供給されるソース、ドレイン領域と上記バックバイアス電圧が印加される基板又はウェル領域とのpn接合が順バイアスにならないように上記バックバイアス電圧を上記非選択レベルよりもさらに深めに設定するものである。

【0004】上記MOSFETのしきい値電圧は、比較的広い範囲のプロセスバラツキを持つものであり、これを満足させるように上記各電圧を設定すると、個々の製品では余分に大きな電圧を印加することとなる。一般に、上記負電圧は、ネガティブチャージポンプ回路で形成するものであり、出力電圧の大きさに対応して消費電流も大きくなる。また、上記アドレス選択MOSFETのオフ状態でのリーク電流は、ソースドレイン間のリーク電流と情報キャパシタの蓄積ノードに接続されたMOSFETのソース、ドレイン領域と基板又はウェル間のpn接合でのリーク電流とからなる。上記ソースドレイン間のリーク電流は、ワード線の非選択レベルを深くすることにより低減できるが、それに伴って上記基板又はウェル領域の負バイアス電圧もより深くなり、上記pn接合でのリーク電流を増大させる。つまり、上記MOSFETのソースドレイン間のリーク電流を低減させるためのワード線の非選択レベルの電位と、上記pn接合部でのリーク電流の低減させるための電界緩和とは相反するものである。したがって、単純に上記MOSFETのしきい値電圧のプロセスバラツキを考慮しただけの電圧設定は、メモリセルの情報保持時間を最長にするという点でも問題があるばかりか、消費電力も増大させてしまうものである。

【0005】この発明の目的は、低消費電力で情報保持特性の改善を図ったダイナミック型RAMを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数のワード線と複数のビット線との交点にアドレス選択MOSFET及び記憶キャパシタからなる複数のダイナミック型メモリセルがマトリクス状に配置されてなるメモリアレイを備え、上記ワード線の非選択レベルを上記ビット線に与えられるロウレベルよりも低く設定してなるダイナミック型RAMにおいて、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択MOSFETのオフ状態でのリーク電流が所望の電流値以下となるように調整可能にする。

【0007】

【発明の実施の形態】図1には、この発明に係るダイナ

ミック型RAMの一実施例の概略回路図が示されている。同図の各回路素子及び回路ブロックは、公知の半導体集積回路の製造技術よって、単結晶シリコンのような1個の半導体基板上において形成される。同図には、ダイナミック型RAMのメモリアレイ部と内部電源回路とが例示的に示されており、本願発明とは直接関係のないアドレスやデータの入出力インターフェイス、カラム系の選択回路等は省略されている。

【0008】図1には代表として示された1つのメモリアレイMCA1において、4本のワード線WLと、2対の相補ビット線BL、 \overline{BL} と、これらワード線と相補ビット線のうちの一方BL又は \overline{BL} の間に設けられた8つのメモリセルが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、対応するワード線WL等に接続され、このMOSFETQmのドレインは対応するビット線BL等に接続され、ソースに記憶キャパシタCsの蓄積ノードが接続される。記憶キャパシタCsの他方の電極は共通化されてプレート電圧が与えられる。

【0009】周知のようにMOSFETは双方向に電流を流すものであり、上記MOSFETのドレイン、ソースは回路を説明する上での便宜的なものであると理解されたい。つまり、記憶キャパシタCsの蓄積ノードの電位が0Vであって、書き込み動作において、ビット線BLのハイレベルを上記キャパシタCsに書き込むときには、上記のようにビット線BLに接続されているのがドレインとして作用し、キャパシタCsに接続されているがソースとして作用する。逆に、読み出し動作のときには、上記キャパシタCsにハイレベルが蓄積されていたなら、上記ソースとドレインが逆転して上記キャパシタCsの蓄積ノードからビット線BLに向けて電流が流れるようにされる。

【0010】この実施例のダイナミック型RAMにおいては、上記ワード線WL等の選択レベルは、上記ビット線BL等のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VCHとされる。そして、上記ワード線の非選択レベルは、回路の接地電位VSSに対して低くされた負電圧VNNとされる。このため、メモリアレイMCA1に対応されたワード線を選択/非選択にするワードドライバSWD1は、上記昇圧電圧VCHと上記負電圧VNNを動作電圧として動作させられ、図示しないアドレスデコーダによって形成されたワード線を選択/非選択信号に従って上記ワード線WLの電位をVCH又はVNNにする。

【0011】後述するセンスアンプを内部降圧電圧VDLで動作させるようにした場合、次に説明するセンスアンプにより増幅されてビット線に与えられる上記ハイレベルは、上記内部電圧VDLに対応したレベルにされ

る。したがって、上記ワード線の選択レベルに対応した高電圧VCHは、VDL+Vthのような高電圧にされる。センスアンプは、公知のように入力と出力とが交差接続された2つのCMOSインバータ回路からなるCMOSラッチ回路と、かかるCMOSラッチ回路に動作電圧を供給するパワースイッチ回路からなる。センスアンプの入出力ノードは、上記一對の相補ビット線BLと/BLに接続される。上記相補ビット線BLと/BLは、同図に示すように平行に延長するように配置され、容量バランス等をとるために必要に応じて適宜に交差させられる。上記センスアンプがシェアードセンス方式をとるときには、相補ビット線BLと/BLとセンスアンプの単位回路の入出力ノードとは、シェアードスイッチMOSFETにより接続される。

【0012】図示しないが、センスアンプの単位回路は、上記相補ビット線BL、/BLに対応して設けられるゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFET及びPチャンネル型の増幅MOSFETから構成される。上記複数の相補ビット線にソース対等して設けられるNチャンネル型MOSFETのソースは共通ソース線に接続され、かかる共通ソース線にはセンスアンプの動作タイミングにおいてNチャンネル型のパワースイッチMOSFETを介して回路の接地電位VSSが供給される。上記同様なPチャンネル型MOSFETのソースもそれに対応した共通ソース線に接続され、かかる共通ソース線にはセンスアンプの動作タイミングにおいてPチャンネル型のパワースイッチMOSFETを介して上記内部降圧電圧VDLが供給される。

【0013】図示しないが、上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETと、相補ビット線BL、/BLにハーフブリチャージ電圧VDL/2を供給するスイッチMOSFETからなるブリチャージ回路が設けられる。これらのMOSFETのゲートは、共通にイコライズ(又はブリチャージ)信号が供給される。このイコライズ信号を形成するドライバ回路は、上記ワード線WLを駆動するワードドライバSWD1等と同じく、選択レベルをVCHとし非選択レベルをVNNのような負電圧とするものである。

【0014】上記電圧VNN、VBBは、内部電源回路VNNgen、VBBgenにより形成される。内部電源回路VNNgenは、発振回路、チャージポンプ回路及びレベルセンサにより構成され、レベルセンサ部には外部トリミング付きとされ、外部端子TM1、TM2により上記電圧VNNの電圧調整が可能にされる。同様に内部電源回路VBBgenも、発振回路、チャージポンプ回路及びレベルセンサにより構成され、レベルセンサ部には外部トリミング付きとされ、外部端子TM1、TM2により上記電圧VBBの電圧調整が可能にされる。

【0015】制御回路は、外部制御端子から供給されるロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、チップセレクト信号/CS等のような制御信号を受けて、動作モードの判定とそれに必要な動作タイミング信号を発生する。VCCは、例えば3.3V~2.5Vのような外部電源電圧の供給端子であり、VSSは0Vのような回路の接地電位を供給する端子である。

【0016】特に制限されないが、この実施例のダイナミック型RAMではメモリアレイ部がメモリアレイMCA1、MCA2のように複数個に分割されて設けられ、かかる複数のメモリアレイMCA1、MCA2のそれぞれに対応して上記内部電源回路VBBgen及びVNNgenも複数個設けられ、それぞれのメモリアレイMCA1とMCA2に一对一に対応して上記電圧VBB1、VNN1とVBB2、VNN2の供給を行うようにされる。

【0017】図2には、上記レベルセンサの一実施例の回路図が示されている。この実施例では、上記VBB(VNN)を一定の電圧幅内に設定するために2つのレベルV1とV2の検出が行われる。つまり、V1>VBB>V2の関係になるようにVBBの制御が行われる。VNNgenに設けられるレベルセンサにおいても、同様な回路の素子の定数を変えるようにして上記V1に対応した図示しない電圧V1'、上記V2に対応した図示しない電圧V2'がそれぞれ設定されて、V1'>VNN>V2'の関係になるようにVNNの制御が行われる。ただし、VNN>VBBになるように上記電圧V1、V1'、V2、V2'は設定されるものである。

【0018】電圧V1(上記V1')は、バックバイアス電圧VBBの絶対値的に小さな(浅い)電圧に対応したものであり、V1<VBBになると上記発振回路の発振動作を開始させてチャージポンプ回路によるバックバイアス電圧を絶対値的に大きくする。上記チャージポンプ回路の動作によってバックバイアス電圧VBBがより深くなってVBB<V2になると、上記発振回路の動作を停止させるとともにチャージポンプ動作も停止させる。これにより、VBBは上記V1~V2の範囲に収まるように制御される。

【0019】レベルセンサ1は、回路の接地電位にゲートが接続されたNチャンネル型MOSFETQ14とPチャンネル型MOSFETQ13と、上記MOSFETQ14のソースと基板電圧VBBとの間に設けられたダイオード形態のMOSFETM1、M2、M3と、これらのMOSFETM1~M3を短絡するトリミング用のスイッチMOSFETMS1~MS3からなるレベルシフト回路によりセンスレベルが設定される。つまり、MOSFETQ14のゲートに印加される回路の接地電位0Vを基準にして、MOSFETQ14のしきい値電圧Vthと、上記トリミング用のスイッチMOSFETMS

1～MS3のオン状態／オフ状態に対応して上記ダイオード接続のMOSFETM1～M3のしきい値電圧 V_{th} 1ないし V_{th3} が選択的に加算された電圧に対して、 V_{BB} (V_{NN}) が絶対的に大きくなると、上記MOSFETQ14がオン状態となってそのドレイン出力をロウレベルに変化させる。

【0020】この実施例では、特に制限されないが、低消費電力化のためにMOSFETQ14の負荷として作用するPチャンネル型MOSFETQ13のソースには、レベルシフト動作を行うダイオード接続のPチャンネル型MOSFETQ10とQ11が設けられる。また、レベルセンサの動作を制御するために、Pチャンネル型のスイッチMOSFETQ12が上記MOSFETQ11に直列に設けられる。上記MOSFETQ12は、レベルセンサの動作を有効にする信号SEによりスイッチ制御される。信号SEのハイレベルにされると、インバータ回路N1の出力信号がロウレベルとなり、上記MOSFETQ12をオン状態にさせる。これにより、上記電流経路が形成されて電圧 V_{BB} (又は V_{NN}) のセンス動作が有効にされる。

【0021】上記トリミング用のNチャンネル型のスイッチMOSFETMS1～MS3のゲートには、Pチャンネル型のスイッチMOSFETQ1～Q3と、ヒューズF1～F3を通して電源電圧が印加される。上記MOSFETQ1ないしQ3のゲートには、プルダウン抵抗R1～R3により接地電位が供給される。これより、定常状態ではスイッチMOSFETQ1～Q3がオン状態となり、上記トリミング用のスイッチMOSFETMS1～MS3もオン状態にさせるので、上記ダイオード接続のMOSFETM1～M3が短絡状態にされる。したがって、センスレベルV1は最も小さな電位に設定されるものである。

【0022】上記各抵抗R1ないしR3には、電極(パッドPD1～PD3)が設けられており、かかるパッドに電源電圧のようなハイレベルを供給すると、上記スイッチMOSFETQ1～Q3を選択的にオフ状態にさせることができる。これにより、ヒューズF1～F3を切断しない状態で、等価的に上記ヒューズF1～F3を切断したと同じ状態を作り出すことができる。例えば、パッドPD1にハイレベルを供給すると、Pチャンネル型MOSFETQ1がオフ状態となり、これに対応してトリミング用のスイッチMOSFETMS1がオフ状態にされる。したがって、この場合のセンス電圧V1は、上記MOSFETQ14のしきい値電圧 V_{th} に上記ダイオード接続のMOSFETM1のしきい値電圧 V_{th1} を加えた電圧 $V_{th}+V_{th1}$ に設定される。

【0023】以下、上記パッドPD1とPD2にハイレベルを供給すると、センス電圧V1は、上記MOSFETQ14のしきい値電圧 V_{th} に上記ダイオード接続のMOSFETM1とM2のしきい値電圧 V_{th1} 、 V_{th2} を

加えた電圧 $V_{th}+V_{th1}+V_{th2}$ に設定される。上記パッドPD1、PD2及びPD3にハイレベルを供給すると、センス電圧V1は、上記MOSFETQ14のしきい値電圧 V_{th} に上記ダイオード接続のMOSFETM1～M3のしきい値電圧 $V_{th1} \sim V_{th3}$ を加えた電圧 $V_{th}+V_{th1}+V_{th2}+V_{th3}$ に設定される。

【0024】上記MOSFETQ14のドレインから得られるセンス出力は、Nチャンネル型MOSFETQ15のゲートに供給される。このMOSFETQ15のドレインには、負荷としてPチャンネル型MOSFETQ17が設けられ、そのゲートには上記MOSFETQ10とQ11によりレベルシフトされ、スイッチMOSFETQ12を通して電源電圧が印加される。上記MOSFETQ15には、並列にNチャンネル型MOSFETQ16が設けられ、上記MOSFETQ17にはPチャンネル型MOSFETQ18が直列に設けられてノアゲート構成とされる。これらのMOSFETQ16とQ18のゲートには、他方のレベルセンス出力が供給されてラッチ回路が構成される。

【0025】つまり、 $V_{BB} > V1$ になると、MOSFETQ14がオフ状態、Q15がオン状態になってロウレベルのセンス出力を形成し、インバータ回路N2を通してハイレベルの出力信号を形成する。これにより、ナンドゲート回路G1とインバータ回路N4からなる論理積回路を通し、信号SEのハイレベルによってレベルセンサの動作が有効にされたときに、内部電圧発生回路 V_{BB} (V_{NN}) genの動作開始信号を形成する。

【0026】レベルセンサ2は、上記信号SEを受けるインバータ回路N1の出力によりスイッチ制御されるPチャンネル型MOSFETQ20と、それに直列に接続されて上記MOSFETQ10とQ11によりレベルシフトされ、スイッチMOSFETQ12を通した電圧がゲートに印加されたMOSFETQ21のドレインに、ダイオード形態のMOSFETM4、M5、M6を直列に接続し、上記基板電圧 V_{BB} と接続させる。これらのMOSFETM4～M6を短絡するトリミング用のスイッチMOSFETMS4～MS6によりセンスレベルの調整が行われる。上記MOSFETQ21と上記MOSFETM4～M6で分圧された電圧が、Nチャンネル型MOSFETQ22とPチャンネル型MOSFETQ24のゲートに印加され、そのロジックスレッシュホールド電圧よりV2のセンス動作が行われる。

【0027】上記トリミング用のスイッチMOSFETMS4～MS6には、前記同様にPチャンネル型のスイッチMOSFETQ4～Q6を介してヒューズF4～F6から電源電圧が印加されてスイッチ制御が行われる。そして、上記と同じパッドPD1～PD3とプルダウン抵抗R1～R3により、ヒューズF4～F6を切断したと同じ状態を作り出し、上記V2のレベル調整が行われ

る。

【0028】レベルセンサ2では、上記レベルセンサ1の出力がハイレベルであること、言い換えるならば、基板電圧VBBがV1より低下して内部電圧発生回路VBBgenが動作状態にされたとき、上記MOSFETQ22Q24とともにナンドゲート回路を構成するNチャンネル型MOSFETQ23とPチャンネル型MOSFETQ25が設けられ、上記レベルセンサ1の出力のハイレベルにより、MOSFETQ23がオン状態に、MOSFETQ25がオフ状態になってレベルセンサ2の動作が有効にされる。このとき、当然に $V2 < VBB$ の関係にあるために、MOSFETQ22がオン状態であり、センス出力をロウレベルにする。したがって、インバータ回路N3を通してレベルセンサ1のMOSFETQ16をオン状態に、Q18をオフ状態にさせる。

【0029】したがって、内部電圧発生回路VBBgenの動作再開によって基板電圧VBBが低下して $V1 > VBB$ となりMOSFETQ14がオン状態に、MOSFETQ15がオフ状態になっても、 $V2 > VBB$ になるまでの間はレベルセンサ2の出力信号のロウレベルによって強制的にレベルセンサ1の出力はロウレベルに維持されてラッチがかかった状態にされる。そして、内部電圧発生回路VBBgenの動作継続によって基板電圧VBBが更に低下して $V2 > VBB$ となると、レベルセンサ2の出力がハイレベルとなり、上記ラッチを解除してレベルセンサ1でのMOSFETQ14のオン状態、MOSFETQ15がオフ状態に従ってインバータ回路N2の出力信号がロウレベルとなり、上記ナンドゲート回路G1及びインバータ回路N4を通してロウレベルの出力信号を形成して内部電圧発生回路VBBgenの動作を停止させる。

【0030】以上の動作は、ワード線の非選択レベルを決める内部電圧発生回路VNNgenにおいても、上記センスレベルがV1'とV2'となるだけで、同様な動作を行うものである。

【0031】図3には、この発明に係るダイナミック型RAMの概略動作を説明するための波形図が示されている。同図においては、主にメモセルの選択動作が示されている。上記イコライズ信号EQは、メモセルが情報保持状態では上記内部高電圧VCHのようなハイレベルにされている。これにより、相補ビット線BL、 \overline{BL} を短絡するとともにハーフプリチャージ電圧VDL/2を供給する。上記相補ビット線BL、 \overline{BL} はハーフプリチャージ電圧VDL/2にされるので、イコライズ信号EQのレベルはVDLのような低い電位でも動作そのものについては問題ないが、この実施例のように内部高電圧VCHを用いることにより、上記短絡スイッチMOSFETのオン抵抗を小さくして短時間で上記相補ビット線BLと \overline{BL} のハイレベル(VDL)とロウレベル(0V)を短絡させて中間電位VDL/2に設定することができる。

【0032】メモリアクセスに際して上記イコライズ信号EQがハイレベルからロウレベルに変化する。このとき、イコライズ信号EQのロウレベルは、回路の接地電位ではなく、上記負電圧VNNにされる。この理由は、イコライズを高速化するためにしきい値電圧が小さくされるものであるために、上記スイッチMOSFETのゲートに負電圧VNNを供給して、ドレインソース間に流れるリーク電流を防止するようにするものである。

【0033】上記イコライズ信号EQが負電圧VNNのような非選択レベルにされた後に、ワード線WLが上記内部高電圧VCHのようなハイレベルの選択状態にされる。これにより、メモセルのアドレス選択MOSFETQmがオン状態にされて、情報記憶キャパシタCsとビット線BL又は \overline{BL} の上記ハーフプリチャージ電位VDL/2にされた寄生容量との間で電荷分散が行われ、例えば情報記憶キャパシタCsに電荷が無い状態なら同図のようにメモセルと接続されたビット線BLの電位が低下する。

【0034】センスアンプ活性化信号SANは、内部降圧電圧VDLに立ち上がり、前記Nチャンネル型のパワースイッチMOSFETをオン状態にして回路の接地電位のようなロウレベルの動作電圧をセンスアンプに与える。センスアンプ活性化信号SAPは、上記内部電圧VDLから回路の接地電位VSSのようなロウレベルに立ち下がり、上記Pチャンネル型のパワースイッチMOSFETをオン状態にして内部降圧電圧VDLのようなハイレベルの動作電圧を与える。上記のようなパワースイッチMOSFETのオン状態により、センスアンプの増幅動作が開始されて相補ビット線BLと \overline{BL} の電位は、上記メモセルからの読み出し電位差が拡大されて内部降圧電圧VDLのようなハイレベルと、回路の接地電位VSSのようなロウレベルに増幅される。

【0035】上記のようなセンスアンプの増幅動作によって、相補ビット線BLと \overline{BL} のハイレベルとロウレベルに対応して、上記ワード線WLの選択動作によって上記ビット線BL又は \overline{BL} に接続されているメモセルの記憶キャパシタCsには、上記もとの記憶電荷状態に対応したロウレベルが書き込みされる。

【0036】メモリアクセスの終了により、ワード線WLは上記内部高電圧VCHから上記負電圧VNNに立ち下がり、その後にイコライズ信号EQが上記負電圧VNNから内部高電圧VCHに立ち上がり、上記相補ビット線BLと \overline{BL} のハイレベルとロウレベルを短絡してハーフプリチャージ電圧VDL/2にする。このように形成されたハーフプリチャージ電圧VDL/2がリーク電流により変動するのを防止するために、上記信号EQによってオン状態にされているスイッチMOSFETによりハーフプリチャージ電圧VDL/2が上記相補ビット線BLと \overline{BL} に伝えらるものである。

【0037】この実施例では、図1及び図2に示したよ

うなレベルセンサによって、VNNとVBBが可変にされ、上記メモリセルのアドレス選択用MOSFET_{Qm}のソースドレイン間のリーク電流、及び記憶キャパシタの蓄積ノードに接続されているソース、ドレインと基板（又はウェル領域）との間のpn接合リーク電流が最小になるようにレベル調整（可変）にされるものである。つまり、ダイナミック型RAMを半導体ウェハ上に形成された段階でのブローピング試験において、上記パッドに選択的に電圧を与えてヒューズを切断したと等価な状態を作り出してメモリセルの情報保持時間が最適になる電圧VBB、VNNを判定し、その後ヒューズF1～F6を選択的に切断するものである。この場合、VNN_{gen}にのみ上記トリミング機能を付加し、その調整を可能にしてVBBは固定レベルにするものであってもよい。

【0038】図4には、この発明に係るダイナミック型RAMの一実施例の概略素子断面図が示されている。この実施例のダイナミック型RAMは、3重ウェル構造により各素子が形成される。つまり、p-型基板上に深い深さのn型ウェル領域（Deep-nWELL、以下単にDWELLという）を形成し、かかるDWELL上にメモリセルのアドレス選択MOSFETや、センスアンプのNチャンネル型MOSFETを形成するp型ウェル領域pWELLをそれぞれに形成するものである。

【0039】例えば、メモリセルが形成されるpWELLには、同図に示すようにバックバイアス電圧VBBを印加し、上記アドレス選択MOSFETのしきい値電圧を高くして情報保持時間を長くするとともに、 α 線等によりかかるp型ウェル領域pWELLに発生した少数キャリアを基板バックバイアス電圧VBB側に吸収して情報保持時間を長くさせる。他方、上記センスアンプのNチャンネル型MOSFETが形成されるpWELLには、上記のようなバックバイアス電圧は印加せず、図示しないが回路の接地電位を印加する。これにより、低しきい値電圧により低電圧においても比較的大きな電流を流すようにして増幅感度を高くする。

【0040】上記DWELLには、n型ウェル領域nWELLが形成されて、センスアンプ等を構成するPチャンネル型MOSFETが形成される。このDWELL及び上記nWELLには、上記昇圧電圧VCHがバイアス電圧として与えられる。Xデコーダ等の周辺回路は、上記p-基板上に形成される。また、上記基板上にn型ウェル領域が形成されてそこにPチャンネル型MOSFETが形成される。上記基板には、回路の接地電位VSSが与えられ、そこに形成されたnWELLには電源電圧VCCが印加される。

【0041】この実施例では、メモリセルが形成されるpWELLを、上記DWELLに形成することにより、電気的に分離できる。したがって、メモリアレイが形成されるpWELL毎に独自のバイアス電圧VBBを与え

ることができる。つまり、前記図1のようにメモリアレイをMCA1とMCA2のように複数個に分けた場合には、それぞれが上記のように電気的に分離されたpWELLに形成されるとともに、それぞれに適したバイアス電圧VBBを与えるようにすることができる。

【0042】上記DWELLには内部高電圧VCHを供給し、上記DWELL内に形成されたpWELLには上記負電圧VNNを供給してもよい。この構成では、上記DWELLの接合容量と、pWELLの接合容量が上記図2に示された定電圧回路RGPとRGNの出力に設けられた電圧安定化のためのキャパシタCDHとCDNに利用できる。したがって、同図のように上記DWELLには高電圧VPPを供給し、上記DWELL内に形成されたpWELLには上記負電圧VBBを供給した構成では、上記定電圧回路RGPとRGNの出力に電圧安定化のためのキャパシタCDHとCDNをMOS容量等で形成する必要がある。

【0043】図5には、この発明に係るダイナミック型RAMのメモリチップの一実施例の概略レイアウト図が示されている。同図においては、メモリチップを4分割してそれぞれにメモリアイレMCA1～MCA4に分けて配置するものである。上記メモリアイレMCA1～MCA4に対応して、上記DWELLにより分離されるpWELLが形成される。そして、上記4つのメモリアイレMCA1～MCA4に一対一に対応して、バックバイアス電圧VBBとワード線の非選択電圧VNNを形成する内部電圧発生回路VBB、VNN_{gen}1ないしVBB、VNN_{gen}4を設けるようにするものである。

【0044】上記4つのメモリアイレMCA1～MCA4に形成されたメモリセル毎に情報保持特性を前記のように測定し、それぞれの情報保持時間がほぼ一定になるように、それぞれの内部電圧発生回路VBB、VNN_{gen}の上記トリミング回路のヒューズを切断させるものである。つまり、ダイナミック型RAMのリフレッシュ周期は、上記4つのメモリアイレを同時に行うようにするものである。その周期は最も情報保持特性の悪いメモリアイレに合わせなければならない。したがって、上記VBB、VNN_{gen}の上記トリミング回路での電圧調整は、上記最も情報保持特性の悪いメモリアイレの情報保持特性を他のものに合わせるように長くすること、あるいは所望の情報保持特性を全てのメモリアイレMCA1～MCA4が満足するようにトリミング調整が実施される。この場合も、前記説明したようにVBBが固定でVNNのみを可変にするものであってもよい。

【0045】図6には、この発明に係る前記のような内部降圧回路が搭載されたダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型RAMを構成する各回路ブロックのうち、この発明に関連する部分が判るように示されており、それが公知の半導体集積回路の製造技術により、単

結晶シリコンのような1個の半導体基板上において形成される。

【0046】この実施例では、特に制限されないが、メモリアレイは、上記図5の実施例と同様に全体として4個に分けられる。半導体チップの長手方向に対して左右に2個ずつのメモリアレイが分けられて、中央部分14にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等が設けられる。これら中央部分14の両側のメモリアレイに接する部分には、カラムデコード領域13が配置される。上記4つに分割されたメモリアレイは、前記図8のメモリアレイMCA1～MCA4に対応している。

【0047】上述のように半導体チップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコード領域11が設けられる。このメインロウデコードの上下には、メインワードドライバ領域12が形成されて、上記上下に分けられたメモリアレイのメインワード線をそれぞれが駆動するようにされる。上記半導体チップの長手方向に沿った中央部分には、内部電圧発生回路9が中心部と両端部に分けて複数個がけられる。この内部電圧発生回路9は、上記VBBgen、VNNgen及び昇圧電圧回路も適宜に含まれるものである。

【0048】上記メモリアレイ（サブアレイ）15は、その拡大図に示すように、メモリアレイ15を挟んでセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成されるものである。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域（クロスエリア）18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリアレイの相補ビット線に選択的に接続される。

【0049】上述のように半導体チップの長手方向に対して左右に4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中央部分にメインロウデコード領域11とメインワードドライバ12が配置される。このメインロウデコード領域11は、それを中心にして上下に振り分けられた2個のメモリアレイに対応して共通に設けられる。メインワードドライバ11は、上記1つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバ11にサブワード選択用のドライバも設けられ、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【0050】拡大図として示された1つのメモリアレイ

（サブアレイ）15は、図示しないがサブワード線が256本と、それと直交する相補ビット線（又はデータ線）が256対とされる。上記1つのメモリアレイにおいて、上記メモリアレイ（サブアレイ）15がワードビット線方向に16個設けられるから、全体としての上記サブワード線は約4K分設けられ、ワード線方向に8個設けられるから、相補ビット線は全体として約2K分設けられる。このようなメモリアレイが全体で8個設けられるから、全体では $8 \times 2K \times 4K = 64M$ ビットのような大記憶容量を持つようにされる。

【0051】上記1つのメモリアレイは、メインワード線方向に対して8個に分割される。かかる分割されたメモリアレイ15毎にサブワードドライバ（サブワード線駆動回路）17が設けられる。サブワードドライバ17は、メインワード線に対して $1/8$ の長さ分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0052】上記1つのメモリアレイに着目すると、1つのメインワード線に割り当てられる8個のメモリアレイのうち選択すべきメモリスセルが含まれる1つのメモリアレイに対応したサブワードドライバにおいて、1本のサブワード選択線が選択される結果、1本のメインワード線に属する $8 \times 4 = 32$ 本のサブワード線の中から1つのサブワード線が選択される。上記のようにメインワード線方向に2K（2048）のメモリスセルが設けられるので、1つのサブワード線には、 $2048/8 = 256$ 個のメモリスセルが接続されることとなる。なお、特に制限されないが、リフレッシュ動作（例えばセルフリフレッシュモード）においては、1本のメインワード線に対応する8本のサブワード線が選択状態とされる。

【0053】上記のように1つのメモリアレイは、相補ビット線方向に対して4Kビットの記憶容量を持つ。しかしながら、1つの相補ビット線に対して4K本のメモリスセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても16分割される。つまり、太い黒線で示されたセンスアンプ16により、相補ビット線が16分割に分割される。特に制限されないが、セ

ンスアンプ 1 6 は、シェードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプ 1 6 を除いて、センスアンプ 1 6 を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0054】図 7 には、この発明が適用されるダイナミック型 RAM を説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、8 分割された 1 つのメモリアレイのレイアウトが示されている。つまり、上記図 6 と同様にメモリチップは、長手方向（ワード線方向）対して左右と上下にそれぞれ 2 個ずつのメモリアレイ（Array）に 4 分割されるものである。メモリチップの長方向における中央部分には複数なるボンディングパッド及び周辺回路（Bonding Pad & peripheral Circuit）が設けられる。

【0055】上記 2 個ずつのメモリアレイは、それぞれが約 8 M ビットの記憶容量を持つようにされるものであり、そのうちの一方が拡大して示されているように、ワード線方向に 8 分割され、ビット線方向に 1 6 分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ（Sense Amplifier）が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ（Sub-Word Driver）が配置される。

【0056】上記 1 つのアレイには、全体で 4 0 9 6 本のワード線と 2 0 4 8 対の相補ビット線が設けられる。これにより、全体で約 8 M ビットの記憶容量を持つようにされる。上記のように 4 0 9 6 本のワード線が 1 6 個のサブアレイに分割して配置されるので、1 つのサブアレイには 2 5 6 本のワード線（サブワード線）が設けられる。また、上記のように 2 0 4 8 対の相補ビット線が 8 個のサブアレイに分割して配置されるので、1 つのサブアレイには 2 5 6 対の相補ビット線が設けられる。

【0057】上記 2 つのアレイの中央部には、メインロウデコーダが設けられる。つまり、同図に示されたアレイの左側には、その右側に設けられるアレイと共通に設けられる前記メインロウデコーダに対応して、アレイコントロール（Array control）回路及びメインワードドライバ（Main Word driver）が設けられる。上記アレイコントロール回路には、第 1 のサブワード選択線を駆動するドライバが設けられる。上記アレイには、上記 8 分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第 1 のサブワード選択線も上記 8 分割されたサブアレイを貫通するように延長される。上記アレイの上部には、Y デコーダ（Y Decoder）及び Y 選択線ドライバ（YS driver）が設けられる。

【0058】上記のダイナミック型 RAM は、階層化（分割ワード線方式）ワードドライバに適用した場合が

示されるものである。階層化ワード線とは、ワード線をメインワード線とサブワード線に分け、サブワード線にメモリセルを接続するようにするものである。上記のような階層化ワード方式においては、高抵抗のワード線を低抵抗のメタル配線層で裏打ちするいわゆるワードシャント方式におけるメタル配線層のレイアウトピッチを緩和するためのものである。このような分割ワード線とすることにより、大記憶容量化を図りつつ、高集積化を実現することができる。

10 【0059】図 8 には、この発明に係るダイナミック型 RAM の他の一実施例の概略回路図が示されている。同図には、前記図 1 と同様にダイナミック型 RAM のメモリアレイ部と内部電源回路とが例示的に示されており、本願発明とは直接関係のないアドレスやデータの入出力インターフェイス、制御回路は省略されている。

【0060】この実施例では、VBB gen はレベルセンサにより固定レベルの VBB を発生させる。ここで、固定レベルというのは前記のようにトリミング回路が付加されないという意味であり、V1 と V2 により間欠的な発振回路とチャージポンプ回路の制御によりほぼ一定のバックバイアス電圧 VBB を形成する。

20 【0061】これに対して、VNN gen は、レベルが互いに異なる固定レベルの VNN1 と VNN2 を発生させる。つまり、2 つの VNN gen 1 と VNN gen 2 を形成しておいて、例えば VNN1 は比較的小さな電圧にし、VNN2 はそれに比べて比較的大きな電圧に設定して 2 通りのセンス電圧 V1' と V2' により間欠的な発振回路とチャージポンプ回路の制御によりほぼ一定の VNN1 と VNN2 とを形成するものである。

30 【0062】メモリアイレ MCA は、特に制限されないが、2 つのような複数個が設けられ、それぞれのワードドライバ SWD 等の動作電源部にスイッチ SW を設け、上記 2 つの電圧 VNN1 と VNN2 のうちいずれかを選択できるようにされる。上記スイッチ SW は、特に制限されないが、前記のようなヒューズと、そのヒューズを切断させた場合と等価な動作をさせるパッドとスイッチ MOSFET が設けられ、VNN1 と VNN2 のうちいずれか情報保持特性の長い方を検出し、その検出結果に対応してヒューズを切断させ、それに対応した電圧 VNN1 又は VNN2 を供給させるものである。したがって、この実施例では、上記スイッチ SW が実質的なトリミング回路を構成するものとなる。

40 【0063】図 9 には、この発明に係るダイナミック型 RAM に設けられる内部電圧発生回路の他の一実施例の回路図が示されている。この実施例においては、特に制限されないが、高電圧発生回路 VPPG は、発振回路（OSC）1 とチャージポンプ回路（Charge pump circuit）2 と、レベルセンサ（Level Sensor）3 とにより構成される。上記チャージポンプ回路 2 は、発振回路 1 で形成された発振パルスを受けて、チャージポンプ動作に

よって高電圧を発生させる。この高電圧VPPが所望の高電圧に安定化させるよう上記レベルセンサ3によりレベルセンス動作を行い、上記発振回路1の動作を間欠的に制御する。つまり、高電圧VPPが所望の高電圧に到達すると発振動作を停止させ、高電圧VPPが低下すると上記発振回路1を動作させるようにするものである。

【0064】上記高電圧VPPは、上記ワード線WL等の選択レベルに対応した高電圧VCHに対して高い電圧に設定される。例えば、図3の動作波形図に示すように、ワード線を選択電圧VCHを3Vに設定したなら、上記高電圧VPPは3.5Vのような高い電圧に設定される。上記必要な電圧VCHに対して余分に高い電圧を形成しておいて、かかる高い電圧VPPに基づいて基準電圧発生回路RGFPを動作させる。この基準電圧発生回路RGFPは、定電流IpをPチャンネル型MOSFETQ30とQ31からなる電流ミラー回路を介して上記内部電圧VDL（又は外部電源電圧Vext）を基準にした抵抗Rpに流して、上記アドレス選択用MOSFETQmのしきい値電圧Vthに相当する電圧を発生させる。これにより、基準電圧VRHは上記VDL（又は外部電圧Vext）+Vthに対応された電圧とされる。

【0065】定電圧発生回路RGPは、上記高電圧VPPと内部高電圧VCHとの間に設けられた可変抵抗素子としてのPチャンネル型MOSFETQ32と、上記基準電圧VRHと上記内部高電圧VCHとを受ける差動増幅回路4とにより構成され、上記差動増幅回路4の出力信号が上記MOSFETQ32のゲートに供給される。基準電圧VRHに対して上記内部高電圧VCHが低くなろうとすると、ロウレベルに変化する信号を形成して上記MOSFETQ32の抵抗値を小さくして両者を一致させ、逆に、基準電圧VRHに対して上記内部高電圧VCHが高くなろうとすると、ハイレベルに変化する信号を形成して上記MOSFETQ32の抵抗値を大きくして両者を一致させるように制御する。このようにチャージポンプ回路によりVCHより高い電圧を形成して置くことより、ワード線WLの選択時に流れる電流によってチャージポンプ電圧が低下してもそれを補うことができるからワード線WLの立ち上がりを高速にすることができる。

【0066】バックバッias電圧VBBは、負電圧発生回路VBBGにより形成される。上記負電圧発生回路VBBGは、上記のような発振回路（OSC）6及びチャージポンプ回路（Negative Charge pump circuit）7と、レベルセンサ（Level Sensor）8とにより構成され、チャージポンプ回路7は、上記発振回路6で形成された発振パルスを受けて、チャージポンプ動作によって負電圧を発生させる。この負電圧VBBが所望の負電圧に安定化させるよう上記レベルセンサ8によりレベルセンス動作を行い、上記発振回路6の動作を間欠的に制御する。つまり、負電圧VBBが所望の負電圧に到達する

と発振動作を停止させ、負電圧が絶対値的に低下すると上記発振回路6を再び動作させるようにするものである。

【0067】上記負電圧VBBは、上記ワード線W1等の非選択レベルに対応した負電圧VNNに対して絶対値的に大きな電圧に設定される。例えば、図3の動作波形図に示すように、ワード線の非選択電圧VNNを-0.8V程度に設定したなら、上記負電圧VBBは-1.2Vのような絶対値的に大きな電圧に設定される。上記必要な電圧VNNに対して余分に負方向に大きな電圧を形成しておいて、かかる負電圧VBBに基づいて上記の同様に基準電圧発生回路RGFNを動作させる。この基準電圧発生回路RGFNは、定電流InをNチャンネル型MOSFETQ33とQ34からなる電流ミラー回路を介して回路の接地電位VSSを基準にしたドリミング抵抗Rnに流して、上記アドレス選択用MOSFETQmのゲート、ソース間に印加させる逆バイias電圧VRNを発生させる。この実施例では、上記のように電圧VRNを-0.8Vのような負電圧とするものである。

【0068】定電圧発生回路RGNは、上記負電圧VBBと上記内部負電圧VNNとの間に設けられた可変抵抗素子としてのNチャンネル型MOSFETQ35と、上記基準電圧VRNと上記内部負電圧VNNとを受ける差動増幅回路9とにより構成され、上記差動増幅回路9の出力信号が上記MOSFETQ35のゲートに供給される。基準電圧VRNに対して上記内部高電圧VNNが絶対値的に小さくろうとすると、ハイレベルに変化する信号を形成して上記MOSFETQ15の抵抗値を小さくして両者を一致させ、逆に、基準電圧VRNに対して上記内部負電圧VNNが絶対値的に大きくなろうとすると、ロウレベルに変化する信号を形成して上記MOSFETQ35の抵抗値を大きくして両者を一致させるように制御するものである。

【0069】定電圧発生回路（Voltage reguator）5は、外部端子から供給された外部電圧Vextを受けて、上記定電圧発生回路RGPと同様な回路により上記内部降圧電圧VDLを発生させるものである。この定電圧発生回路5は、必ずしも必要とされるものではない。上記センスアンプやアドレス選択回路等の周辺回路は、外部端子から供給される外部電圧Vextにより動作させるようにするものであってもよい。この場合には、上記のようにかかる外部電圧Vextを基準にして上記内部高電圧VCHのレベルが形成されるものである。上記定電圧発生回路5を設けた場合でも、この定電圧VDLは上記センスアンプの動作電圧として用い、アドレスバッファやアドレスデコード等の内部回路を上記外部電圧Vextにより動作させるようにしてもよい。

【0070】上記のようなチャージポンプ回路2又は7で形成された電圧VPPやVBBは、寄生容量等に蓄積された電荷に保持されており、例えばワード線を非選択

レベルから選択レベルに切り換えるとき、あるいはその逆に選択レベルから非選択レベルに切り換えるときに、多数のメモリセルが接続されることにより比較的大きな寄生容量を持つワード線のチャージアップ又はディスチャージさせるための電流によって前述のように変動すると考えられる。このような電圧変動を見込んで、上記ワード線の選択レベルや非選択レベルを設定することにより、ワード線の選択／非選択の高速化が可能になる。

【0071】つまり、本願発明では上記のような定電圧回路RGPやRGNを介して上記ワード線の選択レベル、非選択レベルを形成するようにすると、上記のようにワード線を非選択レベルから選択レベルに切り換えるとき、あるいはその逆に選択レベルから非選択レベルに切り換えるときに、多数のメモリセルが接続されることにより比較的大きな寄生容量を持つワード線のチャージアップ又はディスチャージさせるための電流によって上記同様にVPPとVBBは変動するが、上記定電圧回路RGPやRGNの可変抵抗としてのMOSFETQ12とQ15の抵抗値が変化してその電圧変動を吸収してしまうことになるため、ほぼ一定の電圧VCHとVNNを確保することができる。そして、VNNは、VBBをもとに形成しているため、チャージポンプ回路や発振回路が共用でき回路の簡素化も可能になるものである。

【0072】そして、上記のように抵抗Rnを複数の直列抵抗あるいは前記のようなダイオード形態のMOSFETで形成し、それぞれの両端にトリミング用のスイッチMOSFETを並列に接続し、ヒューズによる選択的なスイッチ制御及びパッドからの電圧によるスイッチ制御によって、前記実施例と同様に情報保持時間を長くするように設定することができる。

【0073】図10には、この発明に係るダイナミック型RAMの他の一実施例を説明するための波形図が示されている。図示しないロウアドレスストローブ信号/RASの立ち下がりに同期してアドレス信号の取り込みが行われる。上記ロウ系の選択動作により非選択側のシェアード選択信号SHRが電源電圧VCCのようなハイレベルから回路の接地電位のようなロウレベルに変化する。そして、ワード線WLが回路の接地電位VSSのようなロウレベルから昇圧電圧VCHのようなハイレベルに立ち上がる。このワード線の立ち上がりにより、ビット線BLと/BLの一方には選択されたメモリセルの情報電荷に対応した微小電圧に変化させられる。

【0074】図示しないセンスアンプタイミング信号により、センスアンプが活性化されてセンスアンプの入出力ノードBLと/BLの電圧差が拡大して内部降圧電圧VBSGと電源電圧VCCに向かって変化し、前記シェアードスイッチMOSFETを介して相補ビット線BL、/BLを内部電圧VBSGのようなロウレベルと電源電圧VCCのようなロウレベルにする。つまり、この実施例では、センスアンプのロウレベル側の動作電圧に

上記VBSGのようなオフセット電圧を持たせること、言い換えるならば、ビット線のロウレベル電位を回路の接地電位よりも高くして、それにソースが接続されるアドレス選択用MOSFETQmの実効的なしきい値電圧を高くして、そこでのリーク電流を減少させるものである。

【0075】なお、カラム選択信号YSのハイレベルにより、上記センスアンプの入出力ノードと入出力線IOが接続されると、一時的にロウレベル入出力ノードBLのロウレベルが持ち上がる。入出力線IOに上記センスアンプの増幅信号に対応したレベル差が現れる。かかる入出力線IOの読み出し信号は、図示しないメインアンプMAの増幅動作により、データコモンバスにはVCCとVSSのようなハイレベルとロウレベルの読み出し信号が出力される。

【0076】上記のようにワード線の非選択レベルを接地電位とし、記憶キャパシタに保持されるロウレベルの電位をVBSGを+0.5Vのような正の電位にした場合、かかる電圧VBSGがソース、ゲート間の逆バイアス電圧として印加されるからアドレス選択用MOSFETのしきい値電圧を大きくする必要はない。つまり、センスアンプやアドレスデコーダ等の周辺回路を構成するNチャンネル型MOSFETと同じ製造プロセスにより形成した低いしきい値電圧のものをそのまま利用することができる。このような低いしきい値電圧（真性しきい値電圧約0.6V程度）のものをを用いても、ソース電位が上記のように+0.5Vのような電圧なら、基板効果によって実効的なしきい値電圧は約0.8V程度に高くできるので上記リーク電流を抑えることができる。この場合でも、上記電圧VBSGをトリミング調整可能にすることにより、MOSFETのプロセスバラツキに対して最適な電圧を選ぶことができる。

【0077】上記のようにサブスレッショルドリーク電流の減少とともに、記憶キャパシタの蓄積ノードに接続された拡散層と基板（P型ウェル領域）とのPN接合リーク電流も大幅に小さくなってメモリセルの情報保持時間を長くできる。つまり、上記PN接合リーク電流は、それに印加される電圧に対して指数関数的に増加するものであり、上記電圧を小さくすることにより発生するリーク電流を大幅に低減できる。また、昇圧電圧も上記電源電圧VPPに対して上記しきい値電圧相当分だけ昇圧すればよく、例えば電圧VCCが2.5Vのとき、昇圧電圧VCHは約3.3V程度に低くできる。

【0078】上記の実施例から得られる作用効果は、下記お通りである。すなわち、

(1) 複数のワード線と複数のビット線との交点にアドレス選択MOSFET及び記憶キャパシタからなる複数のダイナミック型メモリセルがマトリクス状に配置されてなるメモリアレイを備え、上記ワード線の非選択レベルを上記ビット線に与えられるロウレベルよりも低

く設定してなるダイナミック型RAMにおいて、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択MOSFETのオフ状態でのリーク電流が所望の電流値以下となるように調整可能にすることにより、情報保持特性の改善、ひいては製品歩留の向上を図ることができるという効果が得られる。

【0079】(2) 上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差の調整として、ヒューズ手段を切断したと等価な状態を作り出すパッドを設け、その結果によりヒューズの切断を行うことにより高い精度での所望の電圧設定が可能になるという効果が得られる。

【0080】(3) 上記ビット線のロウレベルは回路の接地電位とし、上記ワード線の非選択レベルを負電圧にすることにより、制限された小さな動作電圧においてもビット線の信号振幅に対応して記憶キャパシタに蓄積される電荷量を大きくすることができるという効果が得られる。

【0081】(4) 上記アドレス選択MOSFETが形成されるウェル領域又は半導体基板には負電圧のバックバイアス電圧を供給し、かかる負電圧のバックバイアス電圧を上記ワード線の非選択レベルよりも低く設定し、かつ固定レベルに制御されるようにすることにより、簡単な構成での情報保持特性の改善、ひいては製品歩留の向上を図ることができるという効果が得られる。

【0082】(5) 上記アドレス選択MOSFETが形成されるウェル領域又は半導体基板には負電圧のバックバイアス電圧を供給し、かかる負電圧のバックバイアス電圧は上記ワード線の非選択レベルよりも低く設定され、かつ上記アドレス選択MOSFETのオフ状態でのリーク電流が所望の電流値以下となるように上記ワード線の非選択レベルとともに調整可能とすることにより、よりいっそう上記リーク電流の低減が図られるから情報保持特性の改善、ひいては製品歩留の向上を図ることができるという効果が得られる。

【0083】(6) 上記ワード線の非選択レベルを形成する内部電源回路として、チャージポンプ回路で形成されたバックバイアス電圧と出力端子との間に設けられた可変インピーダンス手段を制御して所望のワード線の非選択レベルを得るようにすることにより、1つのチャージポンプ回路を用いてバックバイアス電圧とワード線の非選択レベルを形成することができるという効果が得られる。

【0084】(7) 半導体基板上にメモリアレイを複数個に分割して形成し、各メモリアレイに対応して上記内部電源回路を設けるようにすることにより、よりいっそう上記リーク電流の低減が図られるという効果が得られる。

【0085】(8) 半導体基板上にメモリアレイを複

数個に分割して形成し、内部電源回路を複数個設けて複数通りの出力電圧を形成しておき、上記分割された各々のメモリアレイに対応して上記複数通りの出力電圧のうちそれに最適なものをスイッチ回路を通して伝えられるようにすることにより、情報保持特性の改善、ひいては製品歩留の向上を図ることができるという効果が得られる。

【0086】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、VB_B又はV_{NN}をほぼ一定のレベルに設定するたのレベルセンサは、前記実施例のようにレベルV₁とV₂に対応した2つのレベルセンサを用いるものの他、-1つのレベルセンサにヒステリシス特性を持つレベル判定回路を設けて、上記V₁とV₂による発振回路及びチャージポンプ回路の間欠的な動作制御を行うさせるものであってもよい。

【0087】ダイナミック型RAMを構成する各回路の具体的構成やそのレイアウト構成は、種々の実施形態をとることができる。前記図9の定電圧回路は、差動増幅回路と可変抵抗素子としてのMOSFETとを用いるものの他、定電圧がゲートに印加されたソースフォロフMOSFETを用いるもの等種々の実施例形態をとることができる。ダイナミック型RAMの入出力インターフェースは、シンクロナスDRAMに対応されたもの、あるいはランバス仕様に対応されたもの等種々の実施形態を取ることができる。

【0088】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のワード線と複数のビット線との交点にアドレス選択MOSFET及び記憶キャパシタからなる複数のダイナミック型メモセルがマトリクス状に配置されてなるメモリアレイを備え、上記ワード線の非選択レベルを上記ビット線に与えられるロウレベルよりも低く設定してなるダイナミック型RAMにおいて、上記ワード線の非選択レベルと上記ビット線に与えられるロウレベルとの電位差を上記アドレス選択MOSFETのオフ状態でのリーク電流が所望の電流値以下となるように調整可能にすることにより、情報保持特性の改善、ひいては製品歩留の向上を図ることができる。

【図面の簡単な説明】

【図1】この発明に係るダイナミック型RAMの一実施例を示す概略回路図である。

【図2】図1のレベルセンサの一実施例を示す回路図である。

【図3】この発明に係るダイナミック型RAMの概略動作を説明するための波形図である。

23

【図4】この発明に係るダイナミック型RAMの一実施例を示す概略素子断面図である。

【図5】この発明に係るダイナミック型RAMのメモリチップの一実施例を示す概略レイアウト図である。

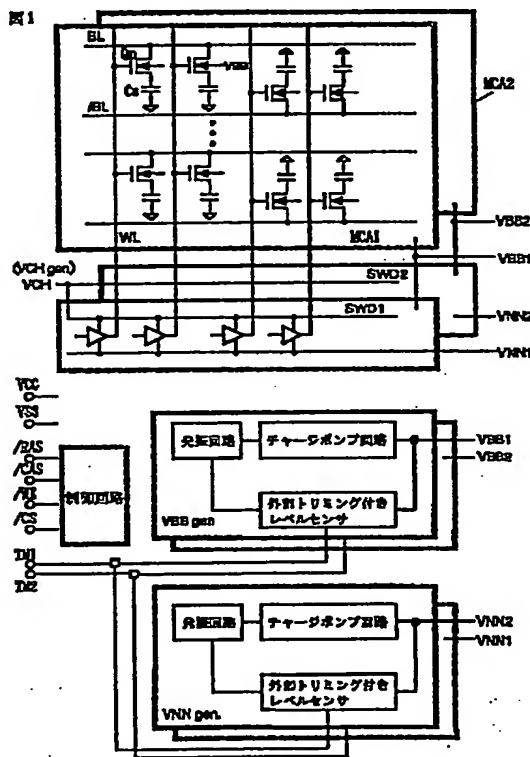
【図6】この発明に係る前記のような内部降圧回路が搭載されたダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図7】この発明が適用されるダイナミック型RAMを説明するための概略レイアウト図である。

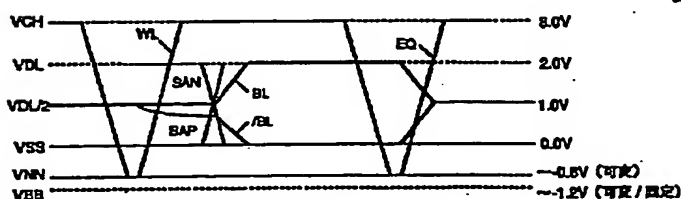
【図8】この発明に係るダイナミック型RAMの他の一実施例を示す概略回路図である。

【図9】この発明に係るダイナミック型RAMに設けられる内部電圧発生回路の他の一実施例を示す回路図である。

【図1】



【図3】



24

【図10】この発明に係るダイナミック型RAMの他の一実施例の概略動作を説明するための波形図である。

【符号の説明】

MCA, MCA1~MCA4...メモリアイレ、SWD1...ワードドライバ、M1~M6...レベルシフト用MOSFET、MS1~MS6...トリミング用のスイッチMOSFET、Q1~Q35...MOSFET、1...VPP用発振回路、2...VPP用チャージポンプ回路、3...VPP用レベルセンサ、5...内部降圧回路、6...VBB用発振回路、7...VBB用チャージポンプ回路、8...VBB用レベルセンサ、RGFP, RGFN...基準電圧発生回路、RGP, RGN...定電圧回路、DWELL...深い深さのn型ウェル領域、pWELL...p型ウェル領域、nWELL...n型ウェル領域、

【図2】

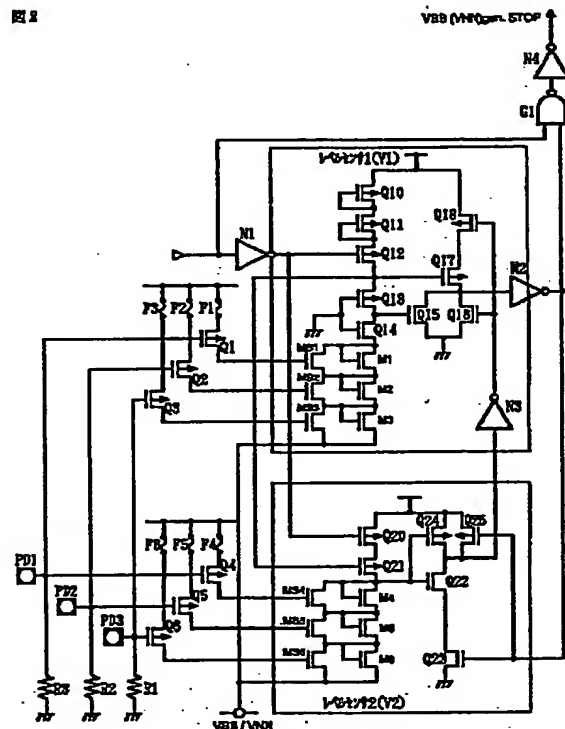
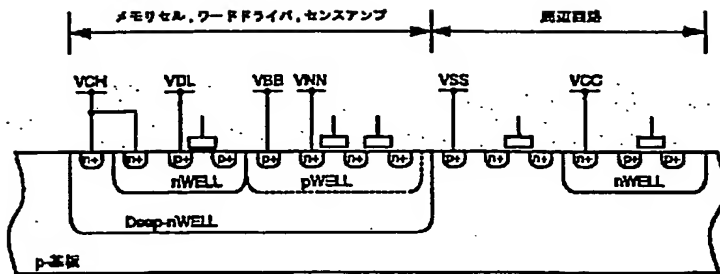


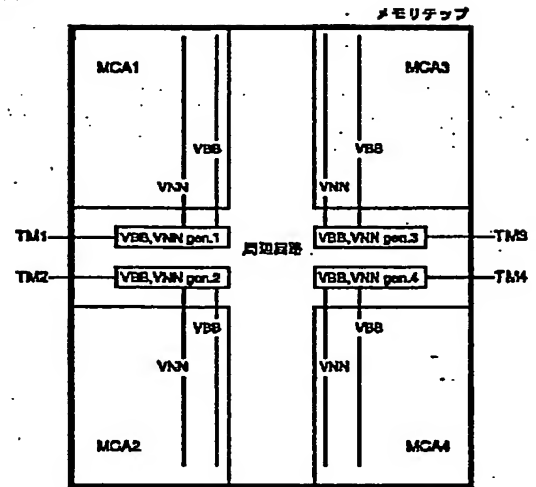
図 2

【図 4】

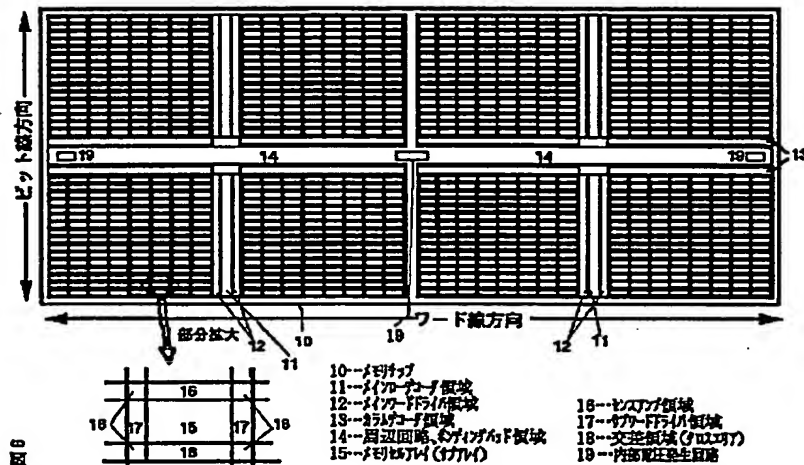


【図 5】

図 5

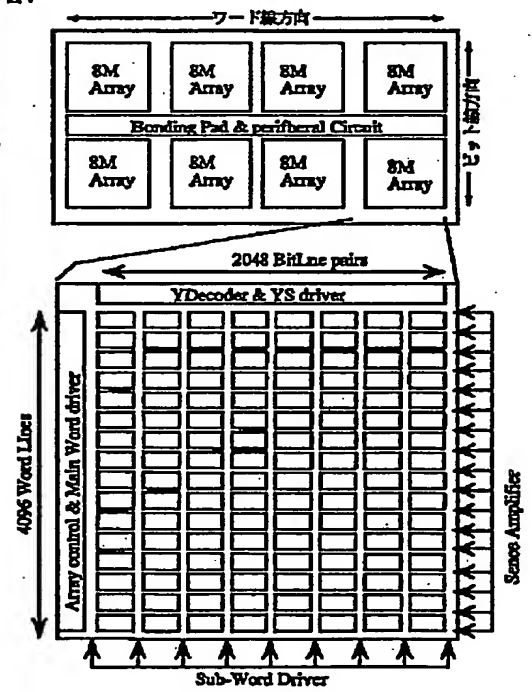


【図 6】



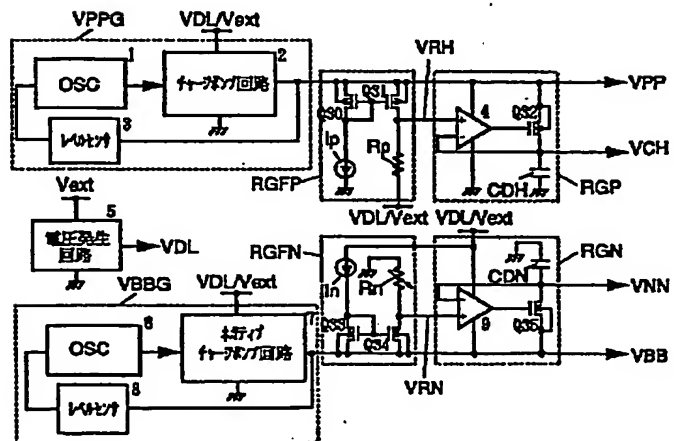
【図 7】

図 7

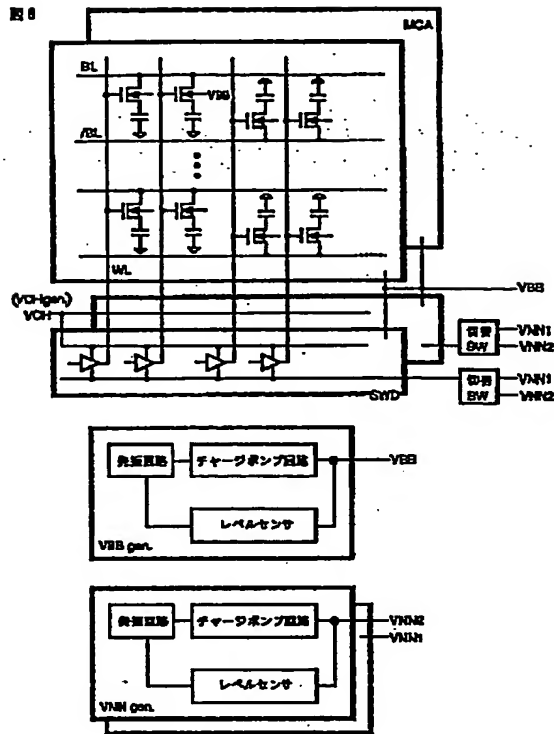


【図 9】

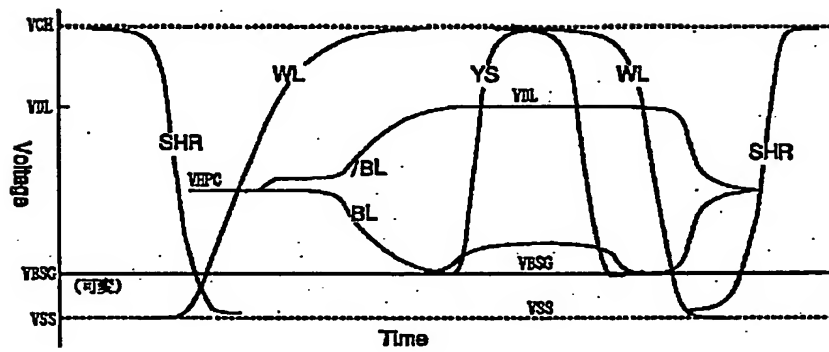
図 9



【図 8】



【図 10】



E210